

ÍNDICE

PREFACIO	13
TEMA 1. FUNDAMENTOS Y METODOLOGÍAS DE LOS C.I.'s	17
1. La evolución de los circuitos integrados	17
1.1. El transistor	17
2. Circuitos Integrados	22
2.1. Resumen histórico de la evolución de los C.I.'s	22
2.2. Microchips analógicos	25
2.3. Tipos y clasificación d los C.I.'s	28
2.4. Limitaciones de los circuitos integrados	29
2.5. Densidad de integración	31
2.6. Niveles de abstracción en el diseño de C.I.'s	33
3. Métrica de Diseño	37
3.1. Coste de C.I.'s	37
3.2. Funcionalidad y robustez	39
3.3. Prestaciones	43
3.4. Consumo y potencia	44
4. Metodologías de diseño de C.I.'s	44
4.1. Introducción	44
4.2. Descripción de los C.I.'s	45
4.3. Clasificación de los métodos de diseño	51
4.4. Método custom	51
4.5. Métodos basados en celdas (CBIC)	54
4.5.1. Celdas estándares	55
4.5.2. Celdas compiladas	57
4.5.3. Macrocelas	57
4.6. Métodos basados en matrices	59
4.6.1. Matrices de puertas (GAIC)	59
4.6.2. Mar de puertas (SGIC)	61
4.7. Matrices preconexionadas	63
4.7.1. Lógica programable basada en matrices	64
4.7.2. Lógica programable basada en celdas	69
4.8. Microcontroladores y DSP's	75
4.9. Metodología de implantación híbrida	76
5. Proceso de Diseño	78
ANEXO 1	82

A1.1 Familias lógicas: Estructuras TTL, ECL y CMOS	82
A1.2. Familias lógicas de Texas Instruments	85
A1.3. Características y tabla de puertas y bloques	86
A1.4. Principales fabricantes de CI's	89
A1.5. Evolución en tecnologías y fabricación	90
ANEXO 2. CI's de matrices	92
A2.1. Dispositivos lógicos programables (PLD's)	92
A2.1.1. Dispositivos PAL's y GAL's	92
A2.1.2. PLA (Programmable Logic Array)	94
A2.2. Programación de los PLD's	94
A2.2.1. El proceso de diseño lógico con PLD's	95
A2.2.2. Dispositivo comercial PAL10H8ANC	97
A2.3. Programación de los PROM's y EPROM's	98
BIBLIOGRAFÍA 1.	100
 TEMA 2. CIRCUITOS COMBINACIONALES	 103
1. Introducción	103
2. Lógica CMOS estática	104
2.1. CMOS Complementaria	105
2.1.1. Restricciones para puertas lógicas integradas	109
2.1.2. Propiedades de las puertas CMOS Complementaria	111
2.1.3. Técnicas de diseño para un fan-in grande	114
2.2. Lógica proporcionada	116
2.2.1. Concepto	116
2.2.2. Pseudo nMOS	119
2.2.3. Construcción con cargas más ideales	123
2.3. Lógica de transistor de paso	128
2.3.1. Concepto	128
2.3.2. Puertas de transmisión	130
2.3.3. Particularidades en el diseño lógico estático con PTs	131
2.3.4. Lógica de paso con solo NMOS	135
2.3.5. Lógica CPL	137
2.4. Optimización del retraso en cadenas de puertas	140
2.4.1. Optimización del retraso para una cadena de inversores	141
2.4.2. Optimización del retraso para puertas complejas	143
3. Diseño físico de las puertas lógicas	143
3.1. Representación layout	145
3.1.1. Representación layout de un inversor	145
3.1.2. Representación layout de una puerta Nand o Nor	146
3.2. Layout de puertas lógicas complejas	148

3.3. Guía para el layout de puertas lógicas CMOS	153
3.3.1. Técnicas de optimización del layout	154
4. Lógica CMOS dinámica	154
4.1. Lógica dinámica	155
4.1.1. Principios básicos	155
4.1.2. Características principales	161
4.1.3. Funcionamiento de la lógica dinámica	162
4.1.4. Consideraciones de ruido en el diseño dinámico	165
4.1.5. Puertas dinámicas en cascada	170
4.2. Lógica CMOS dominó	171
4.3. Lógica CVSL dinámica	174
4.3.1. Lógica dominó de múltiples salidas	175
4.4. Lógica NP dominó (Zipper CMOS)	177
5. Consumo en lógica CMOS	179
5.1. Consumo de potencia	180
5.1.1. Disipación estática	180
5.1.2. Disipación dinámica	181
5.1.3. Azares en los circuitos CMOS estáticos	184
5.1.4. Corrientes de cortocircuito en los circuitos CMOS estáticos	185
5.2. Diseño CMOS de baja potencia	187
5.3. Producto consumo-retraso	194
6. Perspectivas.	195
ANEXO 3. Estimación del retraso.	197
A3.1. Introducción.	197
A3.2. Modelo de retraso RC.	198
ANEXO 4. Conceptos de consumo de potencia.	202
A4.1. Definiciones	202
A4.1.1. Factores de Disipación de Potencia	202
A4.1.2. Factor de actividad	204
A4.1.3. Tensión	204
A4.1.4. Otros factores	206
A4.2. Consumo estático	206
A4.2.1. Fuentes de consumo estático	206
A4.2.2. Consumo puertado	210
A4.3. Optimización Energía-Retraso	214
A4.3.1. Energía mínima	214
A4.3.2. Producto Energía-Retraso mínimo	215
A4.3.3. Energía mínima bajo restricción de retraso	216

A4.4. Arquitecturas de consumo bajo	216
A4.4.1. Energía mínima	216
A4.4.2. Microarquitectura	217
A4.4.3. Paralelismo y Segmentación	217
A4.4.4. Modos de gestión de la potencia	218
BIBLIOGRAFÍA 2	220
TEMA 3. CIRCUITOS REGENERATIVOS	223
1. Introducción	223
2. Elementos secuenciales estáticos	224
2.1. Análisis de biestabilidad	224
2.2. Clasificación de biestables	226
2.2.1. Biestable SR	226
2.2.2. Biestables de nivel relojeados	229
2.2.3. Flip-Flop MAESTRO-ESCLAVO	234
2.2.4. Flip-Flop disparado por flanco	236
2.2.5. Circuito de disparo por flanco mediante retardo de propagación	240
2.2.6. Circuito de disparo por flanco con acoplo de CA	241
3. Esquema de reloj para circuitos MOS	243
3.1. Métodos de secuenciación	246
3.2. Distribución y elección de una estrategia de reloj	250
4. Elementos secuenciales dinámicos	251
4.1. Factores de diseño	251
4.2. Flip-flop C^2 MOS	254
4.3. Lógica relojeada de una única fase (TSPCL)	256
4.4. Otros flip-flops	239
4.4.1. Flip-flop Semidinámico Klass (SDFF)	239
4.4.2. Flip-flop diferencial	260
4.5. Circuitos secuenciales de bajo consumo	261
5. Circuitos secuenciales no-biestables	262
5.1. El disparador de Schmitt CMOS	263
5.2. Circuitos secuenciales monoestables	267
5.3. Circuitos secuenciales astables	272
ANEXO 5. Ampliación sobre restricciones temporales	277
A5.1. Métodos de secuenciación	277
A5.1.1. Mediante Flip-flops	277
A5.1.2. Mediante biestables de nivel	281
ANEXO 6. Biestables bipolares clásicos	285
A6.1. Biestable estático bipolar	285

A6.1.1. Biestable ECL NOR	285
A6.1.2. Biestable TTL NAND	287
A6.2. Flip-flop estático bipolar	288
A6.2.1. Flip-flop D en lógica TTL	288
BIBLIOGRAFÍA 3	292
 TEMA 4. MEMORIAS SEMICONDUCTORAS	 295
1. Introducción	295
1.1. Organización de la Memoria	298
2. Decodificadores	304
2.1. Decodificadores de fila	305
2.1.1. Predecodificadores	307
2.2. Decodificador de columna y de bloque	309
3. Tipos de celdas de memoria	311
3.1. Memorias de solo lectura	311
3.1.1. Celdas ROM	311
3.2. Memorias de lectura-escritura no volátil	318
3.2.1. EPROM	319
3.2.2. EEPROM o E ² PROM	320
3.2.3. Flash EEPROM	321
3.3. Memorias de lectura y escritura (RAM)	325
3.3.1. Memoria SRAM	325
3.3.2. Memoria DRAM (CMOS)	331
3.3.2.1 Celda DRAM 3-T	332
3.3.2.2. Celda DRAM 1-T	333
3.3.2.3. Modo funcionamiento de una DRAM 1-T con doble BL	336
3.3.2.4. Fuga de cargas en las celdas 1-T	338
3.3.2.5. Modo de operación de las memorias DRAM	338
4. Circuitos adicionales de las memorias	341
4.1. Dispositivos de carga en la líneas de bit	341
4.2. Amplificadores de detección CMOS	341
4.2.1. Amplificador de detección diferencial	342
4.2.2. Amplificador de detección tipo cerrojo	344
4.2.3. Amplificador de detección en DRAM	345
4.2.4. Reductores de tensión	346
4.2.5. Tensión de referencia	347
4.3. Drivers/Buffers CMOS	347
5. Fiabilidad y rendimiento	348
5.1. Rendimiento de fabricación	349
5.2. Disipación de potencia	350

ANEXO 7. Cálculos de algunas configuraciones	354
BIBLIOGRAFÍA 4	358
TEMA 5. ENCAPSULAMIENTO DE CIs	361
1. Encapsulado de Circuitos Integrados	361
1.1. Introducción	361
1.2. Consideraciones de diseño	366
2. Flujo en el proceso de encapsulado	367
3. Tecnologías de encapsulado	368
3.1. Wirebond	369
3.2. Tape Automated Bonding (TAB)	371
3.3. Flip-Chip	373
4. Tipos de encapsulados	375
4.1. Encapsulados en 3D	375
4.2. System in Package (SiP)	375
4.3. Chip Scale Packaging	377
5. Consideraciones Térmicas	378
ANEXO 8	381
A8.1. Encapsulado Through-Hole	381
A8.2. Encapsulado Surface Mount	383
BIBLIOGRAFÍA 5	387
BIBLIOGRAFÍA GENERAL	389